

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-091565

(43)Date of publication of application : 31.03.2000

(51)Int. Cl.

H01L 29/78

H01L 21/336

(21)Application number : 10-254040

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 08.09.1998

(72)Inventor : KUBO HIROTOSHI
KUWAKO EIICHIRO

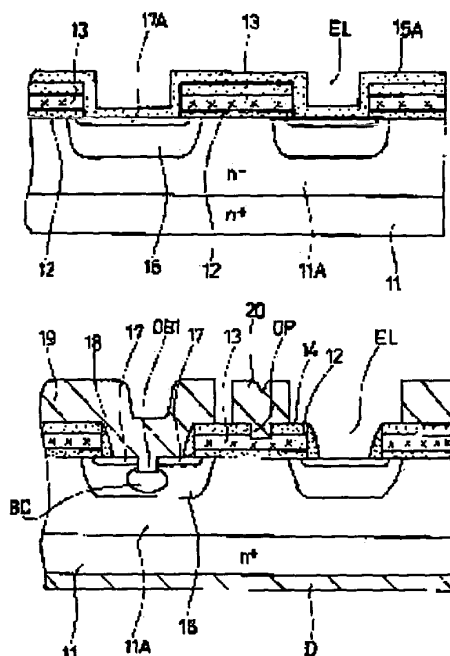
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To save labor in a manufacturing process and greatly reduce the manufacturing cost by omitting a photomask process which was necessary for forming a thick oxide film and a source region.

SOLUTION: In this method, after a gate electrode 13 is formed selectively, a channel region 16 and an impurity diffused region 17A are formed and an NSG film 15A is further formed over the entire surface, and a source region is formed by dividing the impurity diffused region 17A into parts at the same time as with formation of a gate contact OP.

Therefore, the photomask process which was necessary for forming a source region can be eliminated. Therefore, a photomask is required in only three processes of formation of a patterning mask for forming a gate electrode, formation for forming an opening OP for making contact with a gate electrode (formation of a recessed part OBI for forming a source region) and the mask formation for patterning a wiring layer. Since only three photomasks need to be used in all in this way, a mask process and a process involved therein can be eliminated.



LEGAL STATUS

[Date of request for examination] 06.09.2000

[Date of sending the examiner's decision
of rejection][Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-91565

(P2000-91565A)

(43) 公開日 平成12年3月31日 (2000.3.31)

(51) Int.Cl.⁷H 0 1 L 29/78
21/336

識別記号

F I

H 0 1 L 29/78

6 5 2 N

6 5 8 F

テ-マ-ト (参考)

審査請求 未請求 請求項の数3 O L (全 7 頁)

(21) 出願番号

特願平10-254040

(22) 出願日

平成10年9月8日 (1998.9.8)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 久保 博稔

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 桑子 栄一郎

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(74) 代理人 100076794

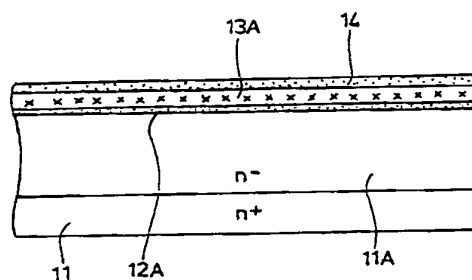
弁理士 安富 耕二 (外1名)

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 パワーMOSFET、およびその製造方法に於いて、特にマスク工程の削減に関し、またそれによる寄生容量の削減を抑制するものである。

【解決手段】 半導体チップの全面に厚い絶縁膜3の代わりにゲート絶縁膜12を形成し、これを誘電体とするゲートドレイン間の寄生要領を削除領域E Lを設けて抑制する。



(2)

特開2000-91565

1

【特許請求の範囲】

【請求項1】 半導体チップの一構成要素である一導電型の半導体基板の表層に、一導電型のドレイン層を形成する工程と、

前記ドレイン層上に前記半導体チップ周囲に渡るゲート絶縁膜、導電体層、第1絶縁膜を順次形成する工程と、前記半導体チップのセル領域に位置する第1絶縁膜、導電体層及び前記ゲート絶縁膜をパターンニングして、前記導電体層より成る格子状のゲート電極を形成する工程と、

前記ゲート電極をマスクにして前記ドレイン層の表層に逆導電型の不純物を注入してチャネル領域を形成し、前記ゲート電極をマスクにして前記チャネル領域上に一導電型の不純物を注入して一導電型の第1不純物領域層を形成する工程と、

前記全面に第2絶縁膜を形成する工程と、

前記第1不純物領域層の中央部およびゲートコンタクト領域に対応する第2絶縁膜および/または第1絶縁膜をエッチングし、第1不純物領域の中央部を完全に取除いた除去領域を形成することでソース領域を形成し、この除去領域を介して一導電型のボディ・コンタクト領域を形成する工程と、

前記ゲート電極にサイドウォールを形成する工程と、前記ソース領域にソース電極を、前記ゲートコンタクト領域にゲート電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 前記除去領域を形成する工程に於いて、前記周辺領域の一部にゲート電極が取り除かれた開口部を形成する請求項1記載の半導体装置の製造方法。

【請求項3】 前記サイドウォールを形成する工程に於いて、前記周辺領域の開口部に位置する第2絶縁膜をマスクで覆う請求項2記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置の製造方法に関し、さらに詳しくいえば、パワーMOSFETの製造工程におけるマスク工程の削減、およびこのプロセスで生じる寄生容量の抑制構造に関する。

【0002】

【従来の技術】以下で、従来のパワーMOSFETとその製造方法について図面を参照しながら説明する。図5は従来のパワーMOSFETの構造を示す断面図であって、図6～図8は、従来のパワーMOSFETの製造方法を説明する断面図である。

【0003】従来のパワーMOSFETは、図5に示すように、n+型の半導体基板1上にn-型のエピタキシャル層からなるドレイン層1Aが形成され、その表層の一部に、p型不純物拡散によって形成されたチャネル領域6が形成されている。その中央にはp+型不純物が拡散されてなるボディ・コンタクト領域8が形成されてお

2

り、これを囲むようにしてn+型不純物拡散で形成されたソース領域7がチャネル領域6の表層に設けられている。

【0004】また、後述のパッド電極10を形成する領域には厚い絶縁膜3が設けられている。

【0005】さらにチャネル領域6及びソース領域7の一部領域と重複するように、ゲート絶縁膜2、ゲート電極4が順次チャネル領域6上に形成されている。

【0006】また、ゲート電極4を被覆するようにPSG (Phospho-Silicate Glass) 膜5が形成されている。このPSG膜5には、絶縁膜3が形成された領域の一部に、開口が設けられており、ここから露出するゲート電極4とコンタクトをとるようなパッド電極10が、この開口及びその周辺に形成されている。

【0007】また、ソース領域7、ボディ・コンタクト領域8の上には、ソース領域7とのコンタクトをとるためのソース電極配線9が形成されている。

【0008】上記のパワーMOSFETの製造工程について図6～図8を参照しながら以下で説明する。

【0009】まず、n+型の半導体基板1上に、n-型のドレイン層1Aをエピタキシャル成長によって形成する。次に、その上に厚い酸化膜3を形成し、フォトリソグラフィ工程でレジスト膜を選択的に形成し、これを第一回目のマスクにしてパターンニングしてパッド電極用の絶縁膜3を形成した後、再びゲート絶縁膜2となる酸化膜を形成する。次に、全面にポリシリコン膜4Aを形成する。(以上図6参照)

以下、厚い酸化膜が形成された領域を周辺領域と呼ぶ。

【0010】次いで、ポリシリコン膜4A上にフォトリソレジスト膜を形成し、パターンニングされたレジスト膜を第2回目のマスクにしてポリシリコン層と酸化膜とをエッチングして、図7に示すようにゲート絶縁膜2とゲート電極4とを形成する。ここでゲート電極4は、格子状に形成され、以下、ゲート電極が格子状に形成される領域をセル領域と呼ぶ。

【0011】次に、これらのゲート絶縁膜5、ゲート電極4をマスクにしてp型の不純物を注入して、ドレイン層1Aの表層の一部にチャネル領域6を形成する。(以上図7参照)

次に、再び全面に不図示のフォトリソレジストを塗布し、フォトリソグラフィ法によってチャネル領域8の中央部に選択的に形成されるように第3回目のフォトリソレジスト膜をパターンニングし、これをマスクにしてn型不純物をチャネル領域6に注入してソース領域7を形成する。その後、このレジスト膜を除去し、再びフォトリソレジストを塗布して中央部に開口ができるようにこれをパターンニングした後、新たなこのレジスト膜(不図示)を第4回目のマスクにしてp型不純物をチャネル領域3上に注入して、ボディ・コンタクト領域8を形成する。次いで、第4回目のレジスト膜を除去して全面にPSG膜を形成す

19/23

(3)

特開2000-91565

3

る(以下図8参照)。

【0012】その後、不図示のレジスト膜をPSG膜5上に形成して、パッド電極を形成する周辺領域と、ボディ領域8とソース領域7の一部領域に開口が形成されるようにフォトリソグラフィ法によってパターンニングし、これを第5回目のマスクにしてPSG膜5をエッチング・除去する。次いで、全面にアルミ等の金属を蒸着等で形成し、これを第6回目のマスクによりパターンニングし、露出されたボディ領域8とソース領域7の一部領域に接するようにソース電極9を、絶縁膜3の上にはパッド電極10を、それぞれ形成することにより、図5に示すような構造のパワーMOSFETが形成されることになる。

【0013】

【発明が解決しようとする課題】以上で説明したプレーナ型のパワーMOSFETについては、

1) 最初のボンディングパッド用の厚い酸化膜を形成するためのマスク形成工程

2) ゲート電極を形成するためのパターンニング用マスクの形成工程(図7)

3) ソース領域7を形成するためのレジストマスク形成工程(図8)

4) ボディ領域8を形成するためのレジストマスク形成工程(図8)

5) ソース領域7のコンタクトホールをPSG膜8に形成する際のレジストマスク形成工程

6) パッド電極10やソース電極配線9配をパターンニングするためのレジストマスク形成工程

に於いて、パターンニングのためのフォトリソ工程に用いるフォトマスクが必要なので、都合6枚ものフォトマスクが必要になる。

【0014】このため、マスク工程やこれに付随する工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまいう問題が生じていた。

【0015】

【課題を解決するための手段】本発明は上記従来の欠点に鑑み成されたもので、第1に、半導体チップ周囲に渡りゲート絶縁膜、導電体層、絶縁膜を順次形成する工程により、マスクを一枚削減でき、前記ゲート電極をマスクにして、チャンネル領域と第1不純物領域層を形成し、その後、前記第1不純物領域層の中央部およびゲートコンタクト領域に対応する第2絶縁膜および/または第1絶縁膜をエッチングし、第1不純物領域の中央部を完全に切り除いた除去領域を形成することでソース領域を形成し、この除去領域を介して一導電型のボディ・コンタクト領域を形成し、前記サイドウォールを介してメタルを形成すると、合計三枚のマスクで実現できる。

【0016】第2に、前記除去領域を形成する工程に於いて、前記周辺領域の一部にゲート電極が取り除かれた開口部を形成することで、工程を増やすことなく周辺領

4

域に除去領域ELを形成でき、寄生容量の増大を防止できる。

【0017】第3に、前記サイドウォールを形成する工程に於いて、前記周辺領域の開口部に位置する第2絶縁膜をマスクで覆えば、開口部の絶縁耐圧を向上させることができる。

【0018】

【発明の実施の形態】以下で、本発明の実施形態に係るプレーナ型のパワーMOSFETについて図面を参照しながら説明する。

【0019】図4は本発明の実施形態に係るプレーナ型のパワーMOSFETの構造について説明する断面図であって、図1～図4は本実施形態に係るプレーナ型のパワーMOSFETの製造方法について説明する断面図である。

【0020】尚、ここでは一例としてN型パワーMOSFETの製法を述べるが、導電型を変えることでP型のパワーMOSFETも同様な製法で可能である。

【0021】このパワーMOSFETは、図4に示すように、n+型の半導体基板11上にn-型のエピタキシャル層からなるドレイン層11Aが形成され、その表層の一部に、p型不純物拡散によって形成されたチャンネル領域16が形成されている。その中央には凹部OB1が形成されており、これを囲むようにしてn+型不純物拡散で形成されたソース領域17がチャンネル領域16の表層に設けられている。

【0022】ドレイン層11A上の、ソース領域17の近傍には、ゲート絶縁膜12、ゲート電極13及びNSG膜14が順次形成されている。これらのゲート絶縁膜12、ゲート電極13及びNSG膜14の側壁には、やはりNSG膜からなるサイドウォール18が形成されている。前記凹部OB1は、その端部がソース領域17の端部と一致するように形成されている。またこの凹部OB1を介してP++型のボディ・コンタクト領域BCが形成されている。

【0023】また、ゲート電極13を被覆しているNSG膜14の一部には開口部OPが形成されており、開口部OPの右側にあるNSG膜は、除去領域ELが設けられている。

【0024】さらに、チャンネル領域16の中央に形成された凹部OB1を被覆するように、AlSiよりなるソース電極配線19が形成されており、また、AlSiよりなり、前述したNSG膜14の開口部OPを介してゲート電極13とのコンタクトをとるためのゲート電極配線20が、上述のNSG膜14上に形成されている。

【0025】また図4では図示されていないが、必要により、図9のように、除去領域ELにも、前記凹部OB1と同時に形成される凹部OB2を同時に形成し、凹部OB2を後述するチャンネルストップとして採用しても良い。

50

15/23

5

【0026】また半導体基板11の裏面にはドレイン電極Dが形成されている。

【0027】次にパワーMOSFETの製造工程について説明する。

【0028】まず、図1の様にn+型の半導体基板11上に、n-型のドレイン層11Aをエビタキシャル成長によって形成する。次に、後にゲート絶縁膜12となる酸化膜12A、ポリシリコン膜13AおよびNSG膜14を堆積する。

【0029】次いで、図2のように、NSG膜14上に不図示のフォトリソist膜を形成し、パターンニングされたレジスト膜を第1回目のマスクにしてNSG膜14、ポリシリコン層13A及び酸化膜12Aとをエッチングして、ゲート絶縁膜12とゲート電極13とを形成する。ここでゲート電極は、格子状に形成されている。ここでは、ゲート電極13のパターンニングと同時に、除去領域E1を形成している。この除去領域は、本発明の特徴とする所であり、周辺領域に形成されたゲート電極13、ゲート絶縁膜12および半導体層により発生する寄生容量の増加を抑制するために設けている。

【0030】次に、これらのゲート絶縁膜12、ゲート電極13、NSG膜14をマスクにしてp型の不純物を注入・拡散することでドレイン層11A上にチャネル領域16を形成する。その後、n+型の不純物をチャネル領域16の表層に注入し、のちにソース領域となるn+型不純物拡散領域17Aを形成する。

【0031】その後全面にNSG膜15Aを再び形成することにより、図2に示すような構造を得る。

【0032】次いで、フォトリソistを塗布してフォトリソグラフィ法でゲート電極13の形成領域の一部に開口が形成されるようにパターンニングし、このレジストPR2を第2回目のマスクにしてNSG膜14、15Aをエッチングして開口部OPを形成すると同時に、ボディ・コンタクト領域BCに対応する凹部OB1を形成する。

【0033】図2からも判る通り、ボディ・コンタクト領域BC上には、NSG膜15Aが形成され、ゲート電極13のコンタクトとなるOPの部分には、NSG膜14、15Aが二層に成って形成されている。

【0034】ゲート電極13の膜厚、不純物拡散領域17Aの拡散深さにもよるが、最終的には、スペーサ18を形成するエッチバックで、OB1の底部は、ソース領域の底部よりも深くエッチングされ、開口部OPは、ポリSiが露出されればよい。

【0035】例えば、PR2でNSG膜15Aをエッチングし、凹部OB1では、半導体層を露出させ、OPでは、NSG膜14を露出させ、続いて、このマスクPR2をマスクにして、またはこのマスクを取り除きNSG膜15Aをマスクとして更にエッチングし、OP部ではゲート材料をエッチングし、OB1ではソース領域の底

(4)

特開2000-91565

6

部よりも深くエッチングしても良い。

【0036】そして前記凹部OB1の開口部を介してP++型のボディ・コンタクト領域BCを例えば、イオン注入により形成する。

【0037】その後、全面をエッチバックして、NSG膜14、ゲート電極13、ゲート絶縁膜12の側壁にNSG膜15からなるサイドウォール18を形成する。ここでも、チャネル領域16の凹部OB1、ゲートコンタクトOPが若干エッチングされるため、この工程で最終的に、OP部ではゲート材料がエッチングされ、同時にOB1ではソース領域の底部よりも深くエッチングされるようにしても良い。

【0038】どちらにしても、最終的には、n型不純物拡散領域17Aは凹部OB1により中央が取り除かれ、このn型不純物拡散領域の各々が、ソース領域17として形成される。

【0039】ここで除去領域E1にもサイドウォールが形成され、半導体層が露出される。

【0040】この後、全面にAISiをCVD法やスパッタ等で堆積成膜し、これをパターンニングすることにより、露出されたボディ・コンタクト領域BCとソース領域17に接するようにソース電極配線19を、ゲート電極とコンタクトをとるためのゲート電極配線20を、それぞれ形成することにより、図4に示すような構造のパワーMOSFETが完成する。また半導体基板の裏面にドレイン電極Dが形成される。

【0041】また図面では、説明していないが、半導体層が露出している除去領域E1は、この後、パシベーション膜(Si3N4膜やポリイミド膜等)が全面に被覆されるため、特性劣化、ショート等の問題はなくなる。

【0042】以上説明したように、本実施形態に係る半導体装置の製造方法によれば、ゲート電極13を選択的に形成した後、チャネル領域16と不純物拡散領域17Aを形成し、更にNSG膜15Aを全面に形成し、ゲートコンタクトOPの形成と同時に不純物拡散領域17Aを分断してソース領域を形成しているため、従来例のソース領域を形成する際に必要であったフォトリソist工程が削減できる。

【0043】従って、本発明の実施形態では、全工程を通じて、フォトリソistが必要な工程は、

1) ゲート電極を形成するためのパターンニング用マスクの形成工程(図2)

2) ゲート電極とのコンタクト(ソース領域を形成するための凹部OB1形成)をとるための開口OPを形成する工程

3) 配線層をパターンニングするためのマスク形成工程の3工程だけで済む。

【0044】このように、本実施形態では都合3枚のフォトリソistを使用するだけでよく、6枚のフォトリソistを用いていた従来と異なり、マスク工程やこれに付随す

16/23

(5)

特開2000-91565

7

8

る工程が非常に多くなり、製造工程が複雑になり、製造コストが高くなってしまおうという問題を抑止することが可能になる。

【0045】また図9のように、凹部OB1の形成と同時に凹部OB2を形成することで、OB2を、ゲート電極13の下層から半導体チップの周辺に流れる電流のチャネルストッパーとして採用することができる。

【0046】またマスクが一枚増えるが、図10のように、エッチバックする際に、除去領域ELの上をホトレジストPRでカバーすれば、除去領域ELは、NSG膜15Aでカバーされ、露出を防止できる。この完成図が図10であり、メタル配線が形成されている。尚、ここでも図9のOB2を形成しても良い。このようなプロセスでは、周辺領域に、NSG膜が2層形成されるため、ボンディング時の衝撃を吸収することができる。

【0047】以上の説明に於いて、絶縁膜としてNSG膜14、15を用いたが、従来例で説明したPSG膜でも良い。また符号14をNSG膜（またはPSG膜）で、符号15AがPSG膜（またはNSG膜）でも良い。

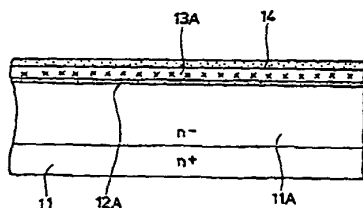
【0048】

【発明の効果】以上説明したように、厚い酸化膜の省略、ソース領域を形成する際に必要であったフォトリソマスク工程を省略したため、発明の実施形態では、全工程を通じて、フォトリソマスクが必要な工程は、

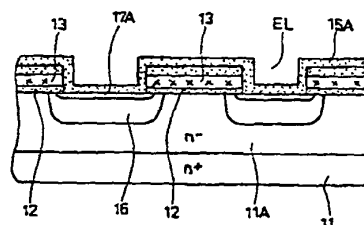
- 1) ゲート電極を形成するためのバタニング用マスクの形成工程
- 2) ゲート電極とのコンタクトをとるための開口を形成する工程
- 3) 配線層をバタニングするためのマスク形成工程

の3工程だけである。

【図1】



【図2】



*【0049】このように、本実施形態では都合3枚のフォトリソマスクを使用するだけでよく、6枚のフォトリソマスクを用いていた従来と異なり、マスク工程やこれに付随する工程の削減が可能になり、製造工程の省力化、製造コストの大幅な削減が可能になる。

【0050】また周辺領域に位置するゲート電極の一部、このゲート電極の一部の下層のゲート絶縁膜を取り除くことで、寄生容量の増大を抑制できる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【図2】本発明の実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【図3】本発明の実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【図4】本発明の実施形態に係るパワーMOSFETの製造方法を説明する断面図である。

【図5】従来のプレーナ型のパワーMOSFETの構造を説明する断面図である。

20 【図6】従来のパワーMOSFETの製造方法を説明する断面図である。

【図7】従来のパワーMOSFETの製造方法を説明する断面図である。

【図8】従来のパワーMOSFETの製造方法を説明する断面図である。

【図9】本発明の製造方法の変形例を説明するパワーMOSFETの断面図である。

【図10】本発明の製造方法の変形例を説明するパワーMOSFETの断面図である。

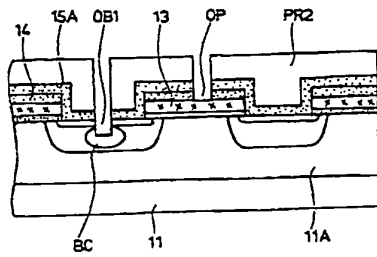
30 【図11】本発明の製造方法の変形例を説明するパワーMOSFETの断面図である。

*

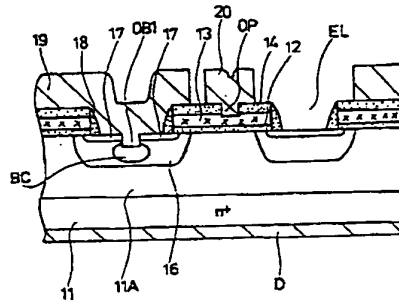
特開2000-91565

(6)

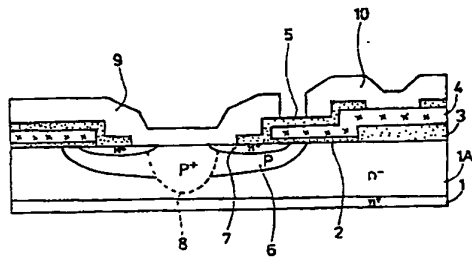
【図3】



【図4】

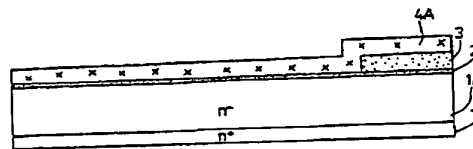


【図5】

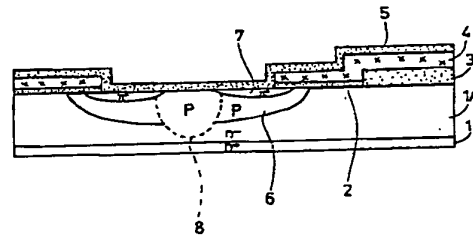


- | | |
|-----------|----------|
| 1: 半導体基板 | 6: ナイロ領域 |
| 1A: ドレイン層 | 7: V-溝形成 |
| 2: n+絶縁膜 | 8: ナイロ領域 |
| 3: 絶縁膜 | 9: V-溝形成 |
| 4: n+電極 | 10: n+電極 |
| 5: PSG膜 | |

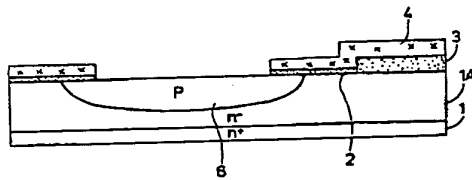
【図6】



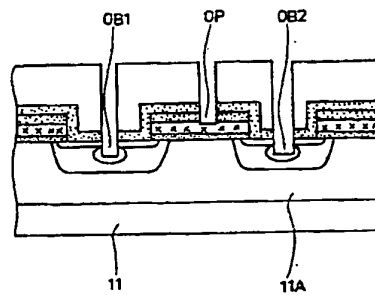
【図8】



【図7】



【図9】

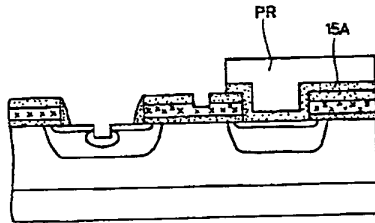


18/23

(7)

特開2000-91565

【図10】



【図11】

